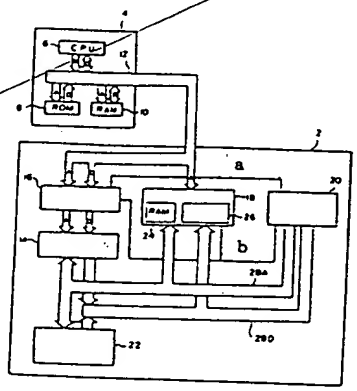
BEST AVAILABLE COPY

(54) DATA COLLECTOR IN CONTROL UNIT
(11) 2-310784 (A) (43) 26.12.1990 (19) JP
(21) Appl. No. 64-133564 (22) 26.5.1989
(71) MAZDA MOTOR CORP (72) MOTOYASU DENNO
(51) Int. Cl⁵. G06F15/74,F02B77/00,G01D7/00//B60R16/02

PURPOSE: To perform data collection for the outside with simple constitution by storing switch information for identifying the necessity of the data collection in an external RAM corresponding to each address of a storage area.

CONSTITUTION: The switch information to identify the necessity of performing the data collection is stored in the RAM 24 of a data collection timing generator 18 conforming to each address of the storage area of a ROM 8 in which each instruction of an engine control program is recorded, and when those instructions are accessed, it is judged whether or not the data collection should be performed by referring to the switch information in the RAM 24. Thereby, since plural kinds of instructions used as a condition to take the timig to collect data of an engine control unit 4 for the outside exist, the data collection for the outside can be performed by storing desired switch information in the RAM 24 in advance with a collection tool controller 20 even when plural addresses of the storage area in which those instructions are stored exist.

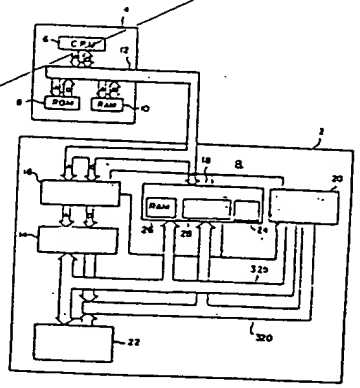


12: address (A) bus/data (D) bus. 14: DPRAM for data collection. 16: DPRAM control means. 22: floppy disk. 28A: collection tool address bus. 28D: collection tool data bus. a: data collection completion signal. b: data collection timing signal

(54) INTERNAL DATA COLLECTOR IN CONTROL UNIT
(11) 2-310785 (A) (43) 26.12.1990 (19) JP
(21) Appl. No. 64-133565 (22) 26.5.1989
(71) MAZDA MOTOR CORP (72) MOTOYASU DENNO
(51) Int. Cl⁵. G06F15/74,F02B77/00,G01D7/00//B60R16/02

PURPOSE: To prevent new information and old information from being mixed in a RAM by storing switch information to identify whether or not data collection should be permitted at each access timing in a RAM corresponding to the address of each storage area.

CONSTITUTION: The switch information to identify whether or not the data collection should be permitted at each access timing by which each storage area of the RAM 10 is accessed in an engine control unit 4 is stored in the RAM 26 corresponding to the address of each storage area. Also, when either the storage areas is accessed with a collection judging means 28, the permission of the data collection is judged by referring to the switch information in the RAM 26, and when it is not permitted, no data collection is performed at that collection timing. Thereby, it is possible to prevent the data collection from being performed during updating data of two byte length, and to prevent the new and old information of the collection data from being mixed.

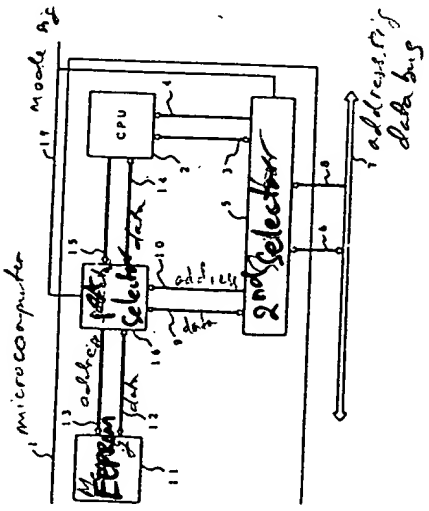


12: address(A) bus/data(D) bus. 14: DPRAM for data collection. 16: DPRAM control means. 18: collection timing generator. 20: collection tool controller. 22: floppy disk. 24 timer. 32b: collection tool address bus. 32D: collection tool data bus. a: collection completion signal

(54) MICROCOMPUTER
(11) 2-310786 (A) (43) 26.12.1990 (19) JP
(21) Appl. No. 64-133635 (22) 26.5.1989
(71) NEC IC MICROCOMPUT SYST LTD (72) KAZUYOSHI KUWABARA
(51) Int. Cl⁵. G06F15/78

PURPOSE: To enable a program to be written on or read from a memory from the outside by providing a selector in the inside of a microcomputer.

CONSTITUTION: When an ordinary mode is designated by a mode signal 17, the selector 5 selects a bus so as to perform the delivery of a signal with an external address/data bus 7 to only a CPU 2, and the selector 16 connects a bus 13 for address control signal for the memory 11 to a bus 15 for address control signal from the CPU 2, and connects a data bus 12 to a data bus 14 from the CPU 2. Also, when a memory access mode is set, the selector 5 separates the external address/data bus 7 from the CPU 2, and connects it to the selector 16, and the selector 16 separates the CPU 2 from the memory 11, and connects a bus 10 for address control signal to the bus 13 for address control signal, and connects a data bus 9 to a data bus 12. In such a way, access from the outside to the memory of the microcomputer 1 can be permitted.



PATENT OFFICE (JP)

Published Unexamined Patent Application (A)
Japanese patent Laid-Open No. Hei 2-310786
Laid-Open Date: December 26, 1990

Int. Cl.[5]	Identification No.	Reference No.
G06F 15/78	510C	9072-5B

Request for Examination: Not requested
No. of claims: 1 (Total 4 pages)

quoted ref (3)

Title of the Invention: Microcomputer
Japanese Patent Application No. Hei 1-133635
Application Date: May 26, 1989

Inventor:
Kazuetsu Kuwabara
c/o Nippon Denki IC Microcomputer System Co.
7-15, Shiba 5-chome, Minato-ku, Tokyo
Applicant:
Nippon Denki IC Microcomputer System Co.
7-15, Shiba 5-chome, Minato-ku, Tokyo
Agent:
Patent Attorney
Susumu Uchihara

SPECIFICATION

Title of the Invention

Microcomputer

What is Claimed is:

A microcomputer device wherein a nonvolatile read-only memory and a processing unit are integrated in said device and said processing unit is capable of being accessed from an external, said microcomputer device characterized in that said microcomputer device comprises:

a first selector provided between said memory and said processing unit and used for selecting either said processing unit or said external as a subject to access said memory;

a second selector for selecting either said processing unit or said first selector as a component to be connected to an input/output bus when accessing to said microcomputer from external; and

input means for inputting a control signal for controlling said first and second selectors.

Detailed Description of the Invention

[Field of the Invention]

The present invention relates to a microcomputer. More particularly, the present invention relates to a microcomputer called a single-chip microcomputer including an embedded nonvolatile read-only memory.

[Description of the Prior Art]

With miniaturization of equipment taking place in recent years, a broad range of small-size systems such as particularly home appliances employ a single-chip microcomputer which includes a memory required by the microcomputer device and embedded in the device in order to reduce the mounting area.

The types of nonvolatile read-only memory embedded in a single-chip microcomputer have been developed as various kinds of products starting with the first mask ROM followed by a PROM (Programmable Read-Only Memory), an EPROM (an ultraviolet-ray Erasable PROM) and an EEPROM (Electrically Erasable PROM).

A program is written into these nonvolatile memories except the ROM by using a special writer apparatus called a PROM writer. Even if the microcomputer includes a means for exchanging data to an external, the operation to write a program into these nonvolatile memory must be carried out in a way independent of the means. Thus, such an operation can not be carried out on a system using the microcomputer. In addition, the program stored in the memory embedded in the microcomputer is not capable of reading out to the external.

In the case of an EEPROM, there are some microcomputers which allow data to be written into the EEPROM embedded in the microcomputer in a system without using a ROM writer. In this case, however, the data to be written is limited to data used by an operation processing unit employed in the microcomputer. That is, a program can not be written into the

EEPROM.

[Problems to be Solved by the Invention]

In the conventional microcomputer described above, a program can not be written into a nonvolatile memory embedded in the microcomputer in a system using the microcomputer. Thus, the conventional microcomputer has a shortcoming that it is impossible to carry out processing to correct a program in a system and to let another microcomputer execute a variety of programs written into the microcomputer as a program.

In addition, a recent microcomputer has an improved speed of internal processing which causes a problem that the speed can not be implemented by a combination device such as an in-circuit emulator. It is thus desirable to provide a single-chip microcomputer which allows a program to be written thereto in a system.

It is thus an object of the present invention to provide a microcomputer which solves the problems described above by allowing a program to be written and read out into and from the microcomputer also by an external device.

[Means for Solving the Problems]

In a microcomputer device provided by the present invention, a nonvolatile read-only memory and an operation processing unit are integrated in said device and said processing unit is capable of being accessed from an external, said microcomputer device comprising: a first

selector provided between said memory and said processing unit and used for selecting either said processing unit or said external as a subject to access said memory; a second selector for selecting either said processing unit or said first selector as a component to be connected to an input/output bus when accessing to said microcomputer from said external; and input means for inputting a control signal for controlling said first and second selectors.

[Description of the Preferred Embodiments]

Next, preferred embodiments of the present invention are described by referring to diagrams.

Fig. 1 is a block diagram showing a first embodiment of the present invention.

As shown in Fig. 1, a microcomputer 1 comprises components integrated therein, namely, a processing unit (referred to hereafter as a CPU) 2, a memory (EEPROM) 11, a selector (first selector) 16 provided between the CPU 2 and the memory 11, a selector (second selector) 5 provided between an input/output bus and the CPU 2 and an input circuit for inputting a mode signal 17 for controlling the selectors 5 and 16.

Next, the operation of the microcomputer 1 is explained. First of all, an operating mode is designated by using the mode signal 17 from an external. In a normal mode, the selector 5 selects the CPU 2 as a component to exchange signals with an external address/data bus 7. In this mode, an address/control signal bus 8 is connected to the CPU 2 by an address/control signal bus 4 and a data bus 6 is connected to the CPU

2 by a data bus 3.

In this mode, an address/control signal bus 13 of the memory 11 is connected by the selector 16 to an address/control signal bus 15 of the CPU 2 and a data bus 12 of the memory 11 is connected by the selector 16 to a data bus 14 of the CPU 2. In this mode, the CPU 2 is thus capable of making an access to the memory 11 and data can exchange between the CPU 2 and the external.

The following description explains an operation for accessing the memory 11 from the external of the microcomputer 1. First of all, a memory-access mode is set by the mode signal 17 as an operating mode. In this mode, the selector 5 disconnects the CPU 2 from the external address/data bus 7, connecting the selector 16 to the bus 7. In this state, the address/control signal bus 8 is connected to the selector 10 and the data bus 6 is connected by the data bus 9. At the same time, the selector 16 disconnects the CPU 2 from the memory 11, connecting the address/control signal bus 10 to the address/control signal bus 13 and the data bus 9 to the data bus 12. As a result, the memory 11 is capable of accessing from the external of the microprocessor in accordance with predetermined control.

Fig. 2 is a block diagram showing a second embodiment of the present invention. The second embodiment is different from the first embodiment in that, in the case of the first embodiment, the mode signal 17 is generated from an external of the microcomputer 1 to set an operating mode while, in the case of the second embodiment, the memory 11 can always be accessed from the CPU 2 and the external.

In order to make the memory 11 accessible from the CPU 2 and the external, an access adjustment unit 22 is provided. When the memory 11 is being accessed by one of the CPU 2 and the external, the access adjustment unit 22 outputs a busy signal to the other to prevent simultaneous accesses. It makes possible to access the memory 11 by issuing an access request to the access adjustment unit 22 when no busy signal outputs. The busy signal 20 and the access request signal 21 respond to the access request from the external. The busy signal 19 and the access request signal 18 respond to the request from the CPU 2. The access adjustment unit 22 controls connections by outputting a mode signal 23 to the selector 5 and a mode signal 24 to the selector 16 on the basis of these access request signals, and issues the busy signal to non-access side. Operations carried out thereafter are the same as those of the first embodiment.

[Effects of the Invention]

As described above, a microcomputer is provided with selectors embedded therein, thus it is possible to write and read out program into and from the embedded nonvolatile read-only memory from and to the external. As a result, there is an effect that it is possible to refer and change the contents of the program while assembled in a system.

Brief Description of the Drawings

Fig. 1 is a block diagram showing a first embodiment of the present invention; and

Fig. 2 is a block diagram showing a second embodiment of the present invention.

List of Reference Numeral

1 and 1a	Microcomputer
2	Processing unit (CPU)
3, 6, 9, 12 and 14	Data bus
4, 8, 10, 13 and 15	Address/control signal bus
5 and 16	Selector
7	External address/data bus
11	Memory
17, 23 and 24	Mode signal
18 and 21	Access request signal
19 and 20	Busy signal
22	Access adjustment unit

JP-A-2-310786

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2-310786

⑤Int.Cl.⁵　識別記号　庁内整理番号　⑬公開　平成2年(1990)12月26日
G 06 F 15/78　510 C　9072-5B

審査請求　未請求　請求項の数 1　(全4頁)

⑭発明の名称　マイクロコンピュータ

⑳特　願　平1-133635
㉒出　願　平1(1989)5月26日

㉓発明者　柴原　一悦　東京都港区芝5丁目7番15号　日本電気アイシーマイコンシステム株式会社内
㉑出願人　日本電気アイシーマイコンシステム株式会社　神奈川県川崎市中原区小杉町1丁目403番53
㉔代理人　弁理士　内原　晋

明　細　書

発明の名称

マイクロコンピュータ

特許請求の範囲

不揮発性の読出し専用のメモリと演算処理部とが同一デバイス上に集積され、外部から前記演算処理部にアクセス可能なマイクロコンピュータにおいて、前記メモリと前記演算処理部との間に設けられ前記メモリに対してアクセスする対象を外部とするか内部の前記演算処理部とするかを選択する第1のセレクタと、外部から前記マイクロコンピュータにアクセスする際の入出力バスを前記演算処理部と接続するか前記第1のセレクタと接続するかを選択する第2のセレクタと、前記第1のセレクタ及び第2のセレクタを制御する制御信号の入力手段とを備えたことを特徴とするマイクロコンピュータ。

発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロコンピュータに関し、特に不揮発性の読出し専用のメモリを内蔵したシングルチップマイクロコンピュータと呼ばれるマイクロコンピュータに関する。

〔従来の技術〕

近年、機器の小形化に伴い、必要とするメモリを同一デバイス上に集積し、実装面積を小さくできるシングルチップマイクロコンピュータが、特に家電製品などの小形システムで盛んに用いられるようになっている。

このシングルチップマイクロコンピュータに集積される不揮発性の読出し専用メモリも、当初のマスクROMから発展して、PROM(プログラマブルROM)、EPROM(紫外線消去可能PROM)、EEPROM(電気的消去可能PROM)まで各種の製品が開発されている。

これらの不揮発性メモリに対するプログラムの書込みは、マスクROMを除きPROMライタと

呼ばれる専用の書込み器を用いて行われる。この書込みは、マイクロコンピュータが外部に対してデータの授受を行う手段を有している場合でも、それとは無関係に行うよう構成されている。従って、マイクロコンピュータを使用するシステム上で書込みを行うことはできないし、外部に対してプログラムの読出しを行うこともできない。

ＥＥＰＲＯＭを用いた場合には、ＲＯＭライタを用いずにシステム上で書込みが行える製品もあるが、これはマイクロコンピュータ内の演算処理部で使用するデータにとどまり、プログラムを書き込むことはできない。

〔発明が解決しようとする課題〕

上述した従来のマイクロコンピュータでは、プログラムの書込みをマイクロコンピュータを使用するシステム上で行うことができないため、システム上でプログラムの修正を行ったり、種々のプログラムを一つのマイクロコンピュータに書き込んだプログラムを他のマイクロコンピュータに実行させるなどの処理ができない欠点がある。

又に、最近はマイクロコンピュータの内部演算の処理速度が向上しており、マイクロコンピュータ内で実現できる処理速度も、インサーキットエミュレータなどの組合せ装置では実現できないという問題もでてきており、システム上でプログラムの書込みができるシングルチップマイクロコンピュータの実現が望まれている。

本発明の目的は、上述の欠点を除去し、外部からもプログラムの書込み及び読出しができるマイクロコンピュータを提供することである。

〔課題を解決するための手段〕

本発明のマイクロコンピュータは、不揮発性の読出し専用のメモリと演算処理部とが同一デバイス上に実現され、外部から前記演算処理部にアクセス可能なマイクロコンピュータにおいて、前記メモリと前記演算処理部との間に設けられ前記メモリに対してアクセスする対象を外部とするか内部の前記演算処理部とするかを選択する第１のセレクタと、外部から前記マイクロコンピュータにアクセスする際の入出力バスを前記演算処理部と接続するか前記第１のセレクタと接続するかを選択する第２のセレクタと、前記第１のセレクタ及び第２のセレクタを制御する制御信号の入力手段とを備えて構成されている。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第１図は本発明の第１の実施例のブロック図である。

第１図のマイクロコンピュータ１には、演算処理部（以下ＣＰＵとする）２と、メモリ（ＥＥＰＲＯＭ）１１と、ＣＰＵ２とメモリ１１との間に設けられたセレクタ（第１のセレクタ）１６と、入出力バスとＣＰＵ２との間に設けられたセレクタ（第２のセレクタ）５と、セレクタ５，１６を制御するモード信号１７の入力回路とが集積されている。

次にその動作につき説明する。まず、外部からモード信号１７により動作モードを指定する。通常モードが指定された場合は、セレクタ５は外部アドレス・データバス７とＣＰＵ２に対してのみ行うようにバスを選択する。すなわち、アドレス・制御信号用バス８はアドレス・制御信号用バス４を通してＣＰＵ２に接続され、データバス６はデータバス３を通してＣＰＵ２に接続される。

同時にセレクタ１６はメモリ１１に対するアドレス・制御信号用バス１３をＣＰＵ２からのアドレス・制御信号用バス１５に、データバス１２をＣＰＵ２からのデータバス１４に接続する。これにより、ＣＰＵ２はメモリ１１にアクセスすることができ、更に外部とＣＰＵ２間でもデータの授受が行える。

次にメモリ１１に対してマイクロコンピュータ外部からアクセスする場合について説明する。まず、動作モードをモード信号１７によりメモリアクセスモードに設定する。このモードが指定されるとセレクタ５は外部アドレス・データバス７をＣＰＵ２から切り離しセレクタ１６に接続する。これによりアドレス・制御信号用バス８はアドレ

ス・制御信号用バス１０に、データバス６はデータバス９に接続されることになる。同時にセレクタ１６はＣＰＵ２をメモリ１１から切り離し、アドレス・制御信号用バス１０をアドレス・制御信号用バス１３に、データバス９をデータバス１２に接続する。この結果、マイクロコンピュータ１の外部からメモリ１１に対して所定の制御に従ってアクセスできるようになる。

第２図は本発明の第２の実施例のブロック図である。第１の実施例と異なる点は、第１の実施例ではモード信号１７が外部から与えられ、それに従って動作モードが一つに確定したが、第２の実施例では常にどちらからでもアクセスできるようになっていることである。

そのためアクセス調整部２２が設けられている。アクセス調整部２２は、一方からアクセスが行われている場合に、他方にビジー信号を出して重複を避けるように調整する。メモリ１１に対するアクセスは、ビジー信号が出ていないときにアクセス要求をアクセス調整部２２に発行することにより可能となる。外部からのアクセス要求に対応するのがビジー信号２０とアクセス要求信号２１であり、ＣＰＵ２からの要求に対応するのがビジー信号１９とアクセス要求信号１８である。これらのアクセス要求信号に基づいて、アクセス調整部２２はモード信号２３をセレクタに、モード信号２４をセレクタ１６に送出して接続を制御し、ビジー信号をアクセスしていない側に発行する。それ以外の動作については第１の実施例と同じである。

（発明の効果）

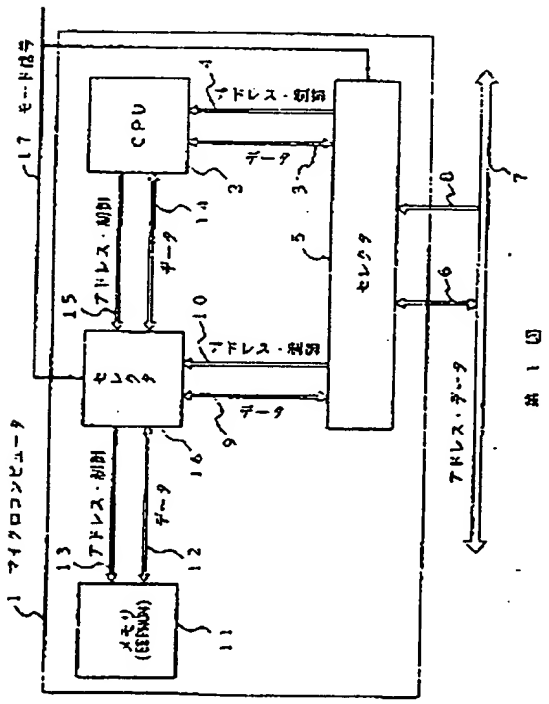
以上説明したように、本発明は、マイクロコンピュータの内部にセレクタを有し、内蔵する不揮発性の読出し専用のメモリに対して外部からプログラムの書込み及び読出しが行えるので、システムに実装した状態でプログラムの内容を参照したり変更したりできる効果がある。

図面の簡単な説明

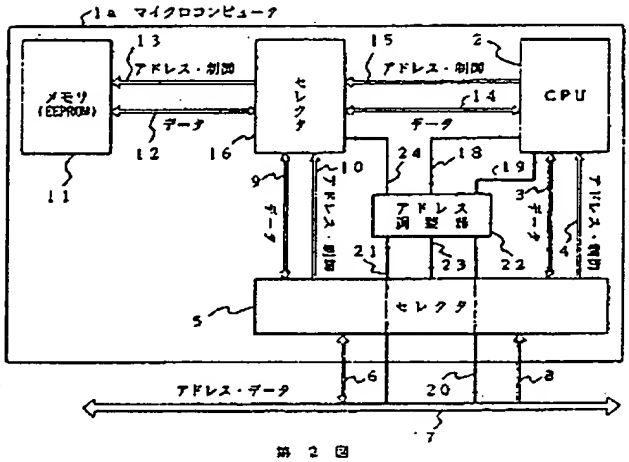
第１図は本発明の第１の実施例のブロック図、第２図は第２の実施例のブロック図である。

１，１ａ……マイクロコンピュータ、２……演算処理部（ＣＰＵ）、３，６，９，１２，１４……データバス、４，８，１０，１３，１５……アドレス・制御信号用バス、５，１６……セレクタ、７……外部アドレス・データバス、１１……メモリ、１７，２３，２４……モード信号、１８，２１……アクセス要求信号、１９，２０……ビジー信号、２２……アクセス調整部。

代理人　弁理士　内　原　　晋



第１図


1a マイクロコンピュータ
メモリ (EEPROM)
11
13
アドレス・制御
12
データ
16
セレクタ
15
アドレス・制御
14
データ
2
CPU
9
データ
10
アドレス・制御
24
18
19
3
データ
4
アドレス・制御
アドレス調整部
21
23
22
5
セレクタ
6
20
8
アドレス・データ
7

第 2 図

This Page is inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox